

**SEMICONDUCTOR DEVICE**

Patent Number: JP9321248  
Publication date: 1997-12-12  
Inventor(s): MATSUDA AKIHIRO; NAGANO YOSHIHISA; UEMOTO YASUHIRO  
Applicant(s): MATSUSHITA ELECTRON CORP  
Requested Patent: ☐ JP9321248  
Application Number: JP19960138082 19960531  
Priority Number (s):  
IPC Classification: H01L27/108; H01L21/8242; H01L27/04; H01L21/822;  
H01L21/8247; H01L29/788; H01L29/792  
EC Classification:  
Equivalents: JP2875777B2

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a semiconductor device having capacitor elements with less dispersion of the voltage breakdown and spontaneous polarization characteristics and superior characteristic and reliability by suppressing the dimensional variation of the capacitor elements due to the micro-loading phenomenon at dry etching to form patterns; the capacitor elements having a high dielectric-or ferroelectric-made capacitance insulation film.

**SOLUTION:** A capacitor element is composed of a first electrode 12 made of a Pt film of 50-400nm thick, first capacitance insulation film 14 made of a high-dielectric const. dielectric such as SrBix Tax Oy and second electrode 15 made of a Pt film of 50-300nm thick on a support substrate 11. A dummy pattern 13 of the same metal film as that of the first electrode 12 is formed at the periphery of the capacitor element so as to surround this electrode 12.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321248

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/108		H 0 1 L 27/10	6 5 1
	21/8242		27/04	C
	27/04		29/78	3 7 1
	21/822			
	21/8247			

審査請求 未請求 請求項の数 7 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平8-138082

(22) 出願日 平成8年(1996)5月31日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 松田 明浩

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 長野 能久

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 上本 康裕

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

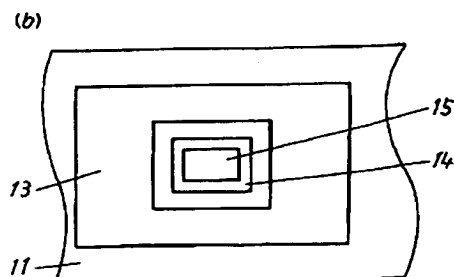
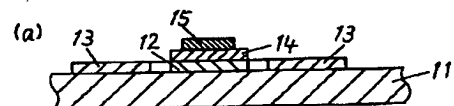
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高誘電体または強誘電体を容量絶縁膜とする容量素子を有する半導体装置において、ドライエッチングによるパターン形成時にマイクロローディング現象によって生じる容量素子形状の寸法変動を抑制し、耐電圧特性、自発分極特性のばらつきの少ない容量素子を有し、特性および信頼性に優れた半導体装置を提供することを目的とする。

【解決手段】 支持基板11上に50nmから400nmの膜厚を有するPt膜よりなる第一の電極12、 $\text{SrBi}x\text{Ta}x\text{Oy}$ 等の高誘電率誘電体からなる第一の容量絶縁膜14、および、50nmから300nmの厚さのPt膜よりなる第二の電極15より構成される容量素子の外周部に、第一の電極12と同一材料の金属膜からなるダミーパターン13を第一の電極12を取り囲むように同時に形成する。

- 11 支持基板
- 12 第一の電極
- 13 ダミーパターン
- 14 第一の容量絶縁膜
- 15 第二の電極



## 【特許請求の範囲】

【請求項 1】 集積回路が形成された支持基板の一表面上に選択的に形成した金属膜よりなる第一の電極と、前記第一の電極の上面に形成された高誘電率誘電体からなる容量絶縁膜と、前記容量絶縁膜の上面に形成された金属膜よりなる第二の電極とによって構成される容量素子と、前記第一の電極の外周部に前記第一の電極の外縁と所定の間隔を介して配置された金属膜によって構成されるダミーパターンとを備えたこと特徴とする半導体装置。

【請求項 2】 集積回路が形成された支持基板の一表面上に選択的に形成した金属膜よりなる第一の電極と、前記第一の電極の上面に形成された高誘電率誘電体からなる容量絶縁膜と、前記容量絶縁膜の上面に形成された金属膜よりなる第二の電極とによって構成される容量素子と、前記第一の電極の外周部に前記第一の電極の外縁と一定の間隔を介して選択的に形成された第一の金属膜と、前記第一の金属膜の表面上に前記容量絶縁膜と同一材料によって選択的に形成された高誘電率誘電体膜と、前記高誘電率誘電体膜の上面に形成された前記第二の電極と同一材料によって選択的に形成された第二の金属膜とによって構成されるダミーパターンとを備えたことを特徴とする半導体装置。

【請求項 3】 ダミーパターンが容量素子の外周部において前記容量素子の外縁から一定の間隔を介して前記容量素子を包囲するように口の字形状に形成されている請求項 1 または 2 記載の半導体装置。

【請求項 4】 請求項 1 または 2 に記載の容量素子が支持基板上に複数個形成され、かつその複数個の容量素子の外周部にダミーパターンが配置されたことを特徴とする半導体装置。

【請求項 5】 ダミーパターンが一定の間隔を介して隣接する容量素子の外形を形成する辺の長さ少なくとも同一寸法の辺を有する島状に形成された複数のダミーパターンより構成されていることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 第一または第二の電極を構成する金属膜、または第一または第二の金属膜に代えて導電性酸化膜を用いることを特徴とする請求項 1 から 5 までのいずれかに記載の半導体装置。

【請求項 7】 容量素子の外周とダミーパターンの外周との間隔が  $0.3\mu\text{m}$  から  $5.0\mu\text{m}$  であることを特徴とする請求項 1 から 5 までのいずれかに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、高誘電率を有する誘電体膜または強誘電体膜を容量絶縁膜として用いた容量素子を備えた半導体装置に関するものである。

## 【0002】

【従来の技術】 近年、半導体メモリーの高集積化にともない、メモリーセルに使用される容量素子の蓄積電荷量を確保する目的で、高誘電率を有する誘電体膜または強誘電体膜を容量絶縁膜とする容量素子を半導体集積回路に集積する技術が注目を浴びている。

【0003】 また、従来にはない低電圧動作、高速動作が可能な強誘電体不揮発性メモリーの実用化を目指し、自発分極特性を有する強誘電体膜を容量絶縁膜とする容量素子を半導体集積回路に集積するための技術開発が盛んである。

【0004】 以下、図 5 を用いて高誘電率を有する誘電体または強誘電体（以下これらを高誘電率誘電体という）からなる膜（以下これらを高誘電率誘電体膜という）を用いた容量素子を備えた半導体装置について説明する。

【0005】 集積回路が作り込まれた支持基板 1 上に Pt 膜等の第一の金属膜がスパッタリングによって形成され、次にその第一の金属膜上に高誘電率誘電体膜として  $\text{SrBi}_x\text{Ta}_x\text{O}_y$  膜が回転塗布法または CVD (Chemical Vapor Deposition) 法により堆積形成される。次に  $\text{SrBi}_x\text{Ta}_x\text{O}_y$  膜上に Pt 膜等の第二の金属膜が同じくスパッタリングにより形成される。その後ドライエッチング法によってそれぞれの膜を選択的にエッチングし、第一の電極 2、 $\text{SrBi}_x\text{Ta}_x\text{O}_y$  膜 3 および第二の電極 4 が形成されることにより容量素子を形成していた。

## 【0006】

【発明が解決しようとする課題】 しかしながら上記従来の構成では、ドライエッチングを用いたパターン形成時にマイクロローディング現象によってメモリーセルアレーの外周に配置された容量素子において、第一の電極 2、 $\text{SrBi}_x\text{Ta}_x\text{O}_y$  膜 3 または第二の電極 4 の形状にそれぞれ寸法変動が生じ、第一の電極 2 と第二の電極 4 および  $\text{SrBi}_x\text{Ta}_x\text{O}_y$  膜 3 との平面積の差、すなわちエンクロージャー部のオフセット（図 5 における d）の寸法変動の結果として半導体装置の耐電圧特性、自発分極特性にばらつきが生じるという課題があった。

【0007】 本発明は上記従来の課題を解決するものであり、ドライエッチング処理時に発生するマイクロローディング現象の影響を抑制し、第一の電極と第二の電極との面積を正確に形成することにより、オフセット寸法に変動の生じない容量素子を有する半導体装置を提供することを目的とする。

## 【0008】

【課題を解決するための手段】 上記目的を達成するために本発明の半導体装置は、集積回路が形成された支持基板の一表面上に形成した第一の電極と、その第一の電極の上面に形成された容量絶縁膜と、その容量絶縁膜の上面に形成された第二の電極とによって構成される容量素子と、その容量素子の外周部に所定の間隔を介して配置

された金属膜によって構成されるダミーパターンとからなるものである。

【0009】したがって本発明によれば、マイクロローディング現象の影響を防止することが可能となり、オフセット寸法を正確に規定することができるため、寸法変動のない容量素子を備えた半導体装置を得ることができる。

【0010】

【発明の実施の形態】本発明の請求項1に記載の発明は、集積回路が形成された支持基板の一表面上に選択的に形成した金属膜よりなる第一の電極と、その第一の電極の上面に形成された高誘電率誘電体からなる容量絶縁膜と、その容量絶縁膜の上面に形成された金属膜よりなる第二の電極とによって構成される容量素子と、第一の電極の外周部に第一の電極の外縁と所定の間隔を介して配置された金属膜によって構成されるダミーパターンとを備えたものであり、容量素子の外周部にダミーパターンを配置することにより、マイクロローディング現象の影響を抑制することができ、容量素子の外形寸法の変動をなくすることができる。

【0011】請求項2に記載の発明は、集積回路が形成された支持基板の一表面上に選択的に形成した金属膜よりなる第一の電極と、その第一の電極の上面に形成された高誘電率誘電体からなる容量絶縁膜と、その容量絶縁膜の上面に形成された金属膜よりなる第二の電極とによって構成される容量素子と、第一の電極の外周部にその第一の電極の外縁と一定の間隔を介して選択的に形成された第一の金属膜と、その第一の金属膜の表面上に容量絶縁膜と同一材料によって選択的に形成された高誘電率誘電体膜と、その高誘電率誘電体膜の上面に形成された第二の電極と同一材料によって選択的に形成された第二の金属膜とによって構成されるダミーパターンとを備えたものであり、製造工程をより簡易なものとすることができるとともに、同様のマイクロローディング現象の抑制効果を有するものである。

【0012】請求項3に記載の発明は、請求項1または2記載のダミーパターンが容量素子の外周部において、その容量素子の外縁から一定の間隔を介して前記容量素子を包囲するように口の字形状に形成されているものであり、マイクロローディング現象の影響をより効果的に抑制できる。

【0013】請求項4に記載の発明は、請求項1または2に記載の容量素子が支持基板上に複数個形成され、かつその複数個の容量素子の外周部にダミーパターンを配置したものであり、本発明に関わる技術によればマイクロローディング現象による各容量素子間の寸法変動を防止することができるため、これらの容量素子間の特性にばらつきが生じることがなく、したがって半導体装置に誤動作が生じることがない。

【0014】請求項5に記載の発明は、請求項4に記載

のダミーパターンが一定の間隔を介して隣接する容量素子の外形を形成する辺の長さ少なくとも同一寸法の辺を有する島状に形成された複数のダミーパターンより構成されているものであり、製造工程を簡略化しながら上記請求項4に記載の発明と同様の効果を得ることができる。

【0015】請求項6に記載の発明は、第一または第二の電極を構成する金属膜、または第一または第二の金属膜に代えて導電性酸化膜を用いたものであり、金属膜の場合に比較して加工が容易であるとともに同様のマイクロローディング現象抑制の効果が得られる。

【0016】請求項7に記載の発明は、容量素子の外周とダミーパターンの外周との間隔を0.3  $\mu\text{m}$ から5.0  $\mu\text{m}$ とするものであり、この範囲の間隔において最も優れたマイクロローディング現象の抑制効果が得られる。

【0017】以下、本発明の実施の形態について、図1～図4を用いて説明する。

（実施の形態1）図1（a）は本発明の第1の実施の形態における半導体装置の模式的な断面図を、同図（b）はその平面図を示すものであり、容量素子を囲んで口の字形状にダミーパターンが形成されている。

【0018】以下にその構造を製造方法とともに説明する。集積回路が形成されている支持基板11上に50nmから400nmの膜厚を有するPt膜をスパッタ法を用いて堆積する。次にドライエッチング法を用いてPt膜をエッチングして第一の電極12を形成する際、その第一の電極12の外周部に第一の電極12と同一材料のPt膜からなるダミーパターン13を第一の電極12を取り囲むように同時に形成する。次に第一の電極12の上にSrBi<sub>x</sub>Ta<sub>x</sub>O<sub>y</sub>等からなる高誘電率誘電体膜を回転塗布法またはCVD（Chemical Vapor Deposition）法を用いて堆積したのち、ドライエッチング法を用いてダミーパターン13の上にも堆積した高誘電率誘電体膜を除去するとともに、第一の電極12上に容量絶縁膜14を所定の形状に形成する。

【0019】次にSrBi<sub>x</sub>Ta<sub>x</sub>O<sub>y</sub>等からなる容量絶縁膜14上に50nmから300nmの厚さでPt膜をスパッタ法により堆積し、ドライエッチング法を用いて第二の電極15を所定の形状に形成する。このように形成されたダミーパターン13によって第一の電極12の形状はマイクロローディング現象によるばらつきの影響を受けることがなく、第二の電極15とのオフセット寸法も変動することがない。

【0020】（実施の形態2）図2（a）は本発明の第2の実施の形態における半導体装置の模式的な断面図を、同図（b）はその平面図を示すものであり、複数個の容量素子の周囲に複数個のダミーパターンが形成されている。

【0021】以下にその構造を製造方法とともに説明す

る。集積回路が形成されている支持基板21上に50nmから400nmの膜厚を有するPt膜をスパッタ法を用いて堆積する。次にドライエッチング法を用いて複数個の第一の電極22をエッチングによって形成する際、その第一の電極22の外周部にPt膜からなる複数個のダミーパターン23をそれぞれのダミーパターン23が隣接する第一の電極22の対向辺と少なくとも同じ長さの辺を有するように形成する。次に複数個の第一の電極22の上に $\text{SrBi}_2\text{Ta}_2\text{O}_y$ 等の高誘電率誘電体からなる容量絶縁膜24を回転塗布法またはCVD (Chemical Vapor Deposition) 法を用いて堆積したのち、ドライエッチング法を用いて所定の形状に形成する。

【0022】次にこの複数個の容量絶縁膜24上に50nmから300nmの厚さでPt膜を堆積し、ドライエッチング法を用いて第二の電極25を形成する。このように複数個の容量素子の周辺部に形成された複数個のダミーパターン23によって、第一の電極22の形状はマイクロローディング現象によるばらつきの影響を受けることがなくなる。

【0023】なお本実施の形態において、ダミーパターン23は隣接する容量素子の外形を形成する辺と同一寸法の辺を有する複数個の方形を有する形状として配置した場合について説明したが、ダミーパターン23を複数個の容量素子の全体を包囲するように口の字形状に形成して配置しても同様の効果を得ることができる。

【0024】(実施の形態3) 図3(a)は本発明の第3の実施の形態における半導体装置の模式的な断面図を、同図(b)はその平面図を示すものであり、容量素子を囲んで容量素子とほぼ同一断面構造のダミーパターンが形成されている。

【0025】以下にその構造を製造方法とともに説明する。集積回路が形成されている支持基板31上に50nmから400nmの膜厚を有する第一のPt膜をスパッタ法を用いて堆積する。次にその第一のPt膜の上に $\text{SrBi}_2\text{Ta}_2\text{O}_y$ 等からなる高誘電率誘電体膜を回転塗布法またはCVD法を用いて堆積する。次にこの高誘電率誘電体膜上に50nmから300nmの厚さで第二のPt膜をスパッタ法を用いて堆積形成する。

【0026】そしてつぎにドライエッチング法を用いて上記第一のPt膜、高誘電率誘電体膜および第二のPt膜をエッチングすることにより、第一の電極32、容量絶縁膜34および第二の電極36を形成して容量素子を構成する。この容量素子を形成する工程において、容量素子の外周部に第一の金属膜33と高誘電率誘電体膜35および第二の金属膜37からなるダミーパターン38が同時に形成される。

【0027】本実施の形態において容量素子とダミーパターン38は同一材料、同一構成によって形成されるが、容量素子のみ電気的に回路形成され、ダミーパターン38は電気的に接続されることはなく、マイクロロー

ディング現象を抑制するために使用されるものである。したがって容量素子とダミーパターンを同一工程中において形成することができるため、特にダミーパターン形成のための工程を追加する必要がなく、効率よく初期の目的を達成することができる。

【0028】(実施の形態4) 図4(a)は本発明の第4の実施の形態における半導体装置の模式的な断面図を、同図(b)はその平面図を示すものであり、その容量素子とダミーパターンの配置状態は図2に示す第2の実施の形態と同様であり、またその製造工程は図3とともに説明した上記第3の実施の形態における場合と同様であるので詳しい説明は省略する。図4において41は支持基板、42はPt膜等よりなる第一の電極、43はダミーパターン48を構成する第一の金属膜、44は容量素子を構成する容量絶縁膜、45は第一の金属膜43上に設けられた高誘電率誘電体膜、46は容量絶縁膜44上に設けられたPt膜よりなる第二の電極、47は高誘電率誘電体膜45上に形成された第二の金属膜である。ダミーパターン48は第一の金属膜43、高誘電率誘電体膜45および第二の金属膜47から構成されている。

【0029】なお、本実施の形態においてダミーパターン48は構成的には二つの金属膜によって挟持された誘電体膜よりなる容量素子と同じ構造を有するが、回路的には周辺の配線類や素子類とは絶縁された構造体であるため、図4に見られるように隣接する容量素子の一边と対向する辺の長さが少なくとも同一であれば、その面積および形状は異なるものであっても差し支えない。また第2の実施の形態の場合と同様にダミーパターン48を複数個の容量素子の全体を包囲するように口の字形状に形成しても同じ効果を得ることができる。

【0030】(実施の形態5) 上記本発明の第1から第4までの実施の形態においては第一の電極12、22、32、42、また第二の電極15、25、36、46またダミーパターン13、23の構成材料およびダミーパターン38、48を構成する金属膜33、37、43、47の構成材料としてそれぞれPt膜等の金属膜を使用した例について説明したが、本実施の形態においてはこれらPt膜に代えて $\text{RuO}_2$ 等よりなる導電性酸化膜を用いたものであり、半導体装置の全体構成および使用材料については上記実施の形態の場合と同様であるが、 $\text{RuO}_2$ を用いた場合その加工はより容易なものとする事が可能となる。したがって、本実施の形態においても上記いずれの実施の形態におけるダミーパターンの作用と同様に、マイクロローディング現象を抑制する効果を発揮する。

【0031】なお、本実施の形態では導電性酸化膜として $\text{RuO}_2$ 膜を用いたが、他の導電性酸化膜たとえば $\text{IrO}_2$ 膜を用いても同様の効果を得ることができる。

【0032】なお、上記各実施の形態における容量素子

とダミーパターンとの間隔は、マイクロローディング現象を最も効果的に抑制するためには $0.3\mu\text{m}$ から $5.0\mu\text{m}$ の範囲とする必要があり、 $5.0\mu\text{m}$ を越えると本発明の目的とするマイクロローディング現象の抑制効果を十分に得ることができない。

【0033】また第一の電極または第二の電極としてP<sub>t</sub>膜を用いた例について上記説明したが、他の金属膜や窒化タングステン等の導電性金属化合物を用いても同一の効果を得ることが可能である。また高誘電率誘電体として $\text{SrBi}_x\text{Ta}_x\text{O}_y$ を用いた例について説明したが、他の高誘電率誘電体たとえば $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ を用いても同一の効果を得ることができる。

【0034】

【発明の効果】以上のように本発明によれば、容量素子の外周部にダミーパターンを備えることにより、ドライエッチング時に発生するマイクロローディング現象を効果的に抑制することができ、第一の電極と第二の電極間のオフセット寸法を正確に規定することができるため、容量素子の形状に寸法変動がなく、耐電圧、自発分極特性のばらつきの少ない容量素子を得ることができ、したがって特性および信頼性に優れた半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 (a) 本発明の実施の形態1による半導体装置を模式的に示す断面図

(b) 同平面図

【図2】 (a) 本発明の実施の形態2による半導体装置を模式的に示す断面図

(b) 同平面図

【図3】 (a) 本発明の実施の形態3による半導体装置を模式的に示す断面図

(b) 同平面図

【図4】 (a) 本発明の実施の形態4による半導体装置を模式的に示す断面図

(b) 同平面図

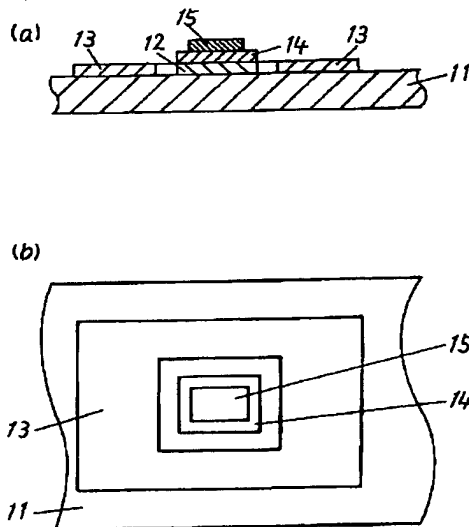
【図5】 容量素子を備えた従来の半導体装置を模式的に示す断面図

【符号の説明】

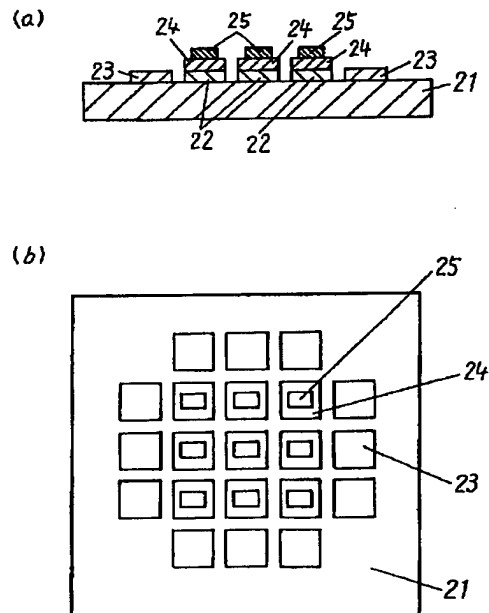
- 11、21、31、41 支持基板
- 12、22、32、42 第一の電極
- 13、23、38、48 ダミーパターン
- 14、24、34、44 容量絶縁膜
- 15、25、36、46 第二の電極
- 33、43 第一の金属膜
- 35、45 高誘電率誘電体膜
- 37、47 第二の金属膜

【図1】

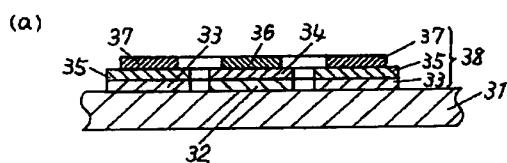
- 11 支持基板
- 12 第一の電極
- 13 ダミーパターン
- 14 第一の容量絶縁膜
- 15 第二の電極



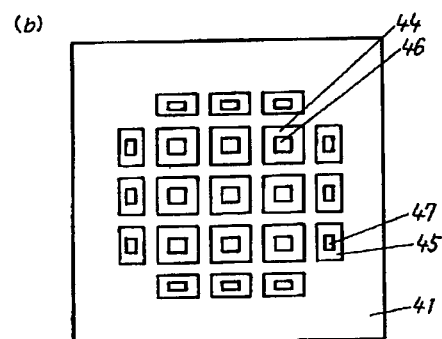
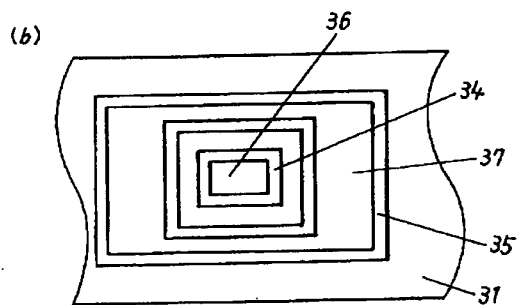
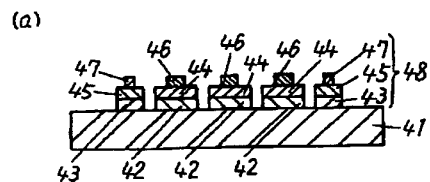
【図2】



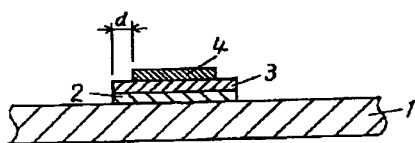
【図 3】



【図 4】



【図 5】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

## Verification of Translation

Application for Reissue of US Patent No. 6,320,214

Title of the Invention: SEMICONDUCTOR DEVICE AND METHOD FOR  
MANUFACTURING THE SAME

I, Maki Kusumoto, whose full post office address is IKEUCHI-SATO  
& PARTNER PATENT ATTORNEYS, OAP Tower 26F, 8-30 Tenmabashi,  
1-chome, Kita-ku, Osaka-shi, Osaka 530-6026, Japan,

am the translator of the document attached and I state that the following is  
a true translation to the best of my knowledge and belief of a part of JP  
9(1997)-321248 A (Date of Filing: May 31, 1996).

At Osaka, Japan

DATED this 30/07/2003 (Day/Month/Year)

Signature of the translator

  
Maki KUSUMOTO

Partial Translation of  
JP 9(1997)-321248 A

Publication Date : December 12, 1997  
5 Application No. : 8(1996)-138082  
Filing Date : May 31, 1996  
Inventors : Akihiro MATSUDA  
Yoshihisa NAGANO  
Yasuhiro UEMOTO  
10 Applicant : MATSUSHITA ELECTRONICS CORPORATION

Title of the Invention : SEMICONDUCTOR DEVICE

15 *(Page 2, left column, lines 2 - 44)*

**【Claim 1】** A semiconductor device, comprising:

a capacitor element that is composed of a supporting substrate on  
which an integrated circuit is formed, a first electrode formed of a metal film  
20 that is formed selectively on one surface of the supporting substrate, a  
capacitance insulating film formed of a high-dielectric constant dielectric  
that is formed on an upper face of the first electrode, and a second electrode  
formed of a metal film that is formed on an upper face of the capacitance  
insulating film; and

25 a dummy pattern that is formed of a metal film disposed in an outer  
peripheral portion of the first electrode at a predetermined distance from an  
outer periphery of the first electrode.

**【Claim 2】** A semiconductor device, comprising:

a capacitor element that is composed of a supporting substrate on  
30 which an integrated circuit is formed, a first electrode formed of a metal film  
that is formed selectively on one surface of the supporting substrate, a  
capacitance insulating film formed of a high-dielectric constant dielectric  
that is formed on an upper face of the first electrode, and a second electrode  
formed of a metal film that is formed on an upper face of the capacitance  
35 insulating film; and

a dummy pattern that is composed of a first metal film formed

selectively in an outer peripheral portion of the first electrode at a given distance from an outer periphery of the first electrode, a high-dielectric constant dielectric film formed selectively on a surface of the first metal film using the same material as a material of the capacitance insulating film, and a second metal film formed selectively on an upper face of the high-dielectric constant dielectric film using the same material as a material of the second electrode.

【Claim 3】 The semiconductor device according to claim 1 or 2, wherein in an outer peripheral portion of the capacitor element, the dummy pattern is formed in the shape of a hollow square so as to surround the capacitor element at a given distance from an outer periphery of the capacitor element.

【Claim 4】 A semiconductor device, comprising:

a capacitor element as claimed in claim 1 or 2; and  
a dummy pattern,

wherein a plurality of the capacitor elements are formed on the supporting substrate, and the dummy pattern is disposed in an outer peripheral portion of the plurality of the capacitor elements.

【Claim 5】 The semiconductor device according to claim 4, wherein the dummy pattern is composed of a plurality of dummy pattern portions, each of which is formed in the shape of an island having at least a side of the same dimension as a length of a side forming an outer shape of the capacitor element adjoining thereto at a given distance.

【Claim 6】 The semiconductor device according to any of claims 1 to 5, wherein an electrically conductive oxide film is used in place of either of the metal film forming the first or second electrode and the first or second metal film.

【Claim 7】 The semiconductor device according to any of claims 1 to 5, wherein a distance between an outer periphery of the capacitor element and an outer periphery of the dummy pattern is 0.3  $\mu\text{m}$  to 5.0  $\mu\text{m}$ .

*(Page 3, right column, lines 17 – 44)*

【0017】 Hereinafter, the present invention will be described by way of embodiments with reference to FIGs. 1 to 4.

(Embodiment 1) FIG. 1(a) is a schematic cross sectional view of a semiconductor device according to a first embodiment of the present invention, and FIG. 1(b) shows a plan view thereof, in which a dummy pattern is shown to be formed in the shape of a hollow square so as to surround a capacitor element.

【0018】 In the following description, a structure of the semiconductor device will be explained along with a method for manufacturing the same. On a supporting substrate 11 on which an integrated circuit is formed, a Pt film having a thickness of 50 nm to 400 nm is deposited by a sputtering method. Then, when the Pt film is etched so as to form a first electrode 12 by a dry etching method, at the same time, a dummy pattern 13 formed of the Pt film that is the same as a material of the first electrode 12 is formed in an outer peripheral portion of the first electrode 12 so as to surround the first electrode 12. Next, after a high-dielectric constant dielectric film formed from  $\text{SrBi}_x\text{Ta}_x\text{O}_y$  or the like is deposited on the first electrode 12 by a spin-on method or a CVD (Chemical Vapor Deposition) method, a portion of the high-dielectric constant dielectric film that also has been deposited on the dummy pattern 13 is removed by the dry etching method, and a capacitance insulating film 14 is formed in a predetermined shape on the first electrode 12.

【0019】 Next, on the capacitance insulating film 14 formed from  $\text{SrBi}_x\text{Ta}_x\text{O}_y$  or the like, a Pt film is deposited in a thickness of 50 nm to 300 nm by the sputtering method, and thus a second electrode 15 is formed in a predetermined shape by the dry etching method. The dummy pattern 13 is formed in this manner, and thus no influence of variations attributable to a micro-loading phenomenon is exerted on the shape of the first electrode 12, and no variations in offset dimensions between the first electrode 12 and the second electrode 15 are caused.

*(Page 4, left column, line 26 – right column, line 5)*

【0024】 (Embodiment 3) FIG. 3(a) is a schematic cross sectional view of a semiconductor device according to a third embodiment of the present invention, and FIG. 3(b) is a plan view thereof, in which a dummy pattern having substantially the same cross sectional structure as that of a

capacitor element is shown to be formed so as to surround the capacitor element.

【0025】 In the following description, a structure of the semiconductor device will be explained along with a method for manufacturing the same.

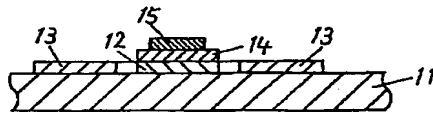
5 On a supporting substrate 31 on which an integrated circuit is formed, a first Pt film having a thickness of 50 nm to 400 nm is deposited by the sputtering method. Then, on the first Pt film, a high-dielectric constant dielectric film formed from  $\text{SrBi}_x\text{Ta}_x\text{O}_y$  or the like is deposited by the spin-on method or the CVD method. Next, on this high-dielectric constant  
10 dielectric film, a second Pt film is formed in such a manner as to be deposited in a thickness of 50 nm to 300 nm by the sputtering method.

【0026】 Then, the first Pt film, the high-dielectric constant dielectric film and the second Pt film are etched by the dry etching method. Thus, a first electrode 32, a capacitance insulating film 34 and a second electrode 36 are  
15 formed so as to form the capacitor element. During the process of forming this capacitor element, at the same time, a dummy pattern 38 composed of a first metal film 33, a high-dielectric constant dielectric film 35 and a second metal film 37 is formed in an outer peripheral portion of the capacitor element.

20 【0027】 In this embodiment, the capacitor element and the dummy pattern 38 are formed of the same materials and have the same configuration. However, only the capacitor element is formed electrically into a circuit, and the dummy pattern 38 is not connected electrically but used only to suppress a micro-loading phenomenon. Therefore, the capacitor element  
25 and the dummy pattern can be formed in the same process, and thus there is no particular need of an additional process for forming a dummy pattern, thereby allowing an initial object to be achieved efficiently.

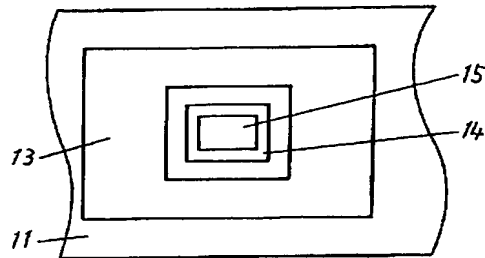
【FIG. 1】

(a)



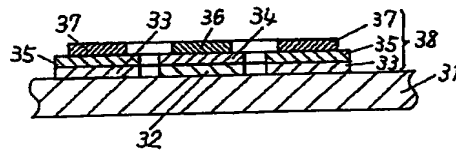
- 11. Supporting substrate
- 12. First electrode
- 13. Dummy pattern
- 14. First capacitance insulating film
- 15. Second electrode

(b)



【FIG. 3】

(a)



(b)

